

# DELPHION

Log On

My Account

My Account

RESEARCH

PRODUCTS

INSIDE DELPHION

Search:

Quick/Number

Boolean

Advanced

Derwent

Help

## Derwent Record

View: Expand Details

Go to: Delphion Integrated View

Tools: Add to Work File: Create new Work File

Add

Derwent Title: Back up units e.g. for communication channels switching control appts. - has third and fourth AND gates with first inputs connected to output of NAND gate of same cell

Original Title: ☒ SU1617675A1: DEVICE FOR CONTROLLING SWITCHING OF STANDBY FACILITY

Assignee: SAVVATEEV V S Individual

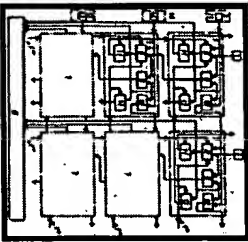
Inventor: KOMAROV N I; LEVINCHEV S S; SAVVATEEV V S;

Accession/Update: 1991-351794 / 199148

IPC Code: G06F 11/20 ; H05K 10/00 ;

Derwent Classes: T01; W01;

Manual Codes: T01-H(Data storage and memory, interconnection, data transfer) , W01-C(Telephony)



Derwent Abstract: (SU1617675A) The control appts. includes back-up switch-over elements (1,2), back-up units monitors (3-5), commutator (6), logic switching cells matrix (7), NAND-gate (8), four AND-gates (9-12) and back-up units (13-15). The control units (1,2) apply back-up (13-15) units switching control signals according to first and second direction.

USE/Advantage - In automation and computer engineering, e.g. for automatically switching into operation reserve elements of a system with back-up, e.g. reserve units, which can be functional complete units, hardware units, communication channels, etc. Improved reliability. Bul.48/30.12.90.

Images:



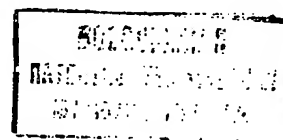
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1617675 A 1**

(51) 5 H 05 K 10/00; G 06 F 11/20

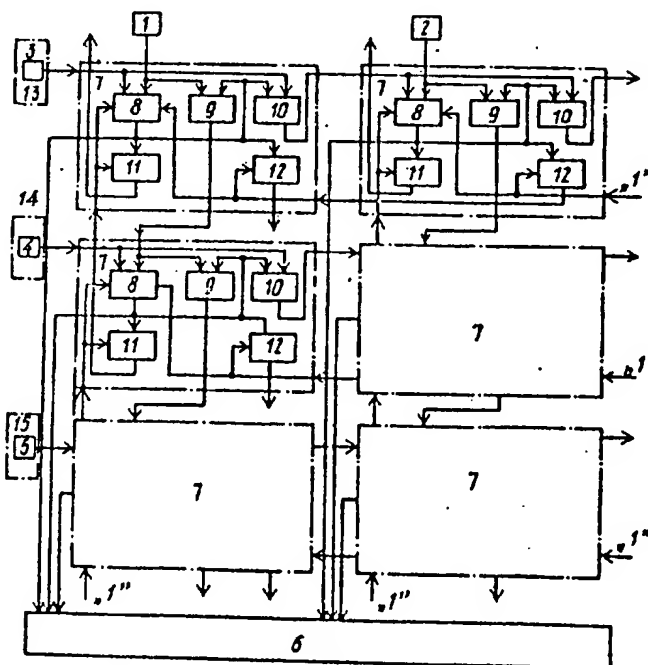
ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4637683/24  
(22) 19.12.88  
(46) 30.12.90. Бюл. № 48  
(72) В.С.Савватеев, С.С.Левичев,  
Н.И.Комаров и В.А.Леонтьев  
(53) 681.3 (088.8)  
(56) Авторское свидетельство СССР  
№ 703816, кл. G 06 F 11/00, 1977.  
Авторское свидетельство СССР  
№ 877548, кл. G 06 F 11/20, 1979.

2  
(54) УСТРОЙСТВО УПРАВЛЕНИЯ ПЕРЕКЛЮ-  
ЧЕНИЕМ РЕЗЕРВА  
(57) Изобретение относится к автома-  
тике и вычислительной технике и мо-  
жет быть использовано для автомати-  
ческого включения в работу элементов  
резервированной системы. Цель изоб-  
речения - повышение надежности уст-  
ройства. Матрицы 7 исключают логиче-  
ских ячеек обеспечивают подключе-  
ние резервируемых блоков 13-15 к нап-  
равлению, заданному элементами 1, 2,  
управления в соответствии с приорите-  
том направления и приоритетом резер-  
вированного блока. 1 ил.



02 **SU** (11) **1617675 A 1**

Изобретение относится к автоматике и вычислительной технике и может быть использовано для автоматического включения в работу элементов резервированной системы. Резервируемыми элементами могут быть функционально законченные узлы, блоки аппаратуры, тракты, каналы связи различного назначения и т.д.

Целью изобретения является повышение надежности работы устройства.

На чертеже представлена блок-схема устройства управления переключением резерва.

Устройство содержит элементы 1 и 2 управления переключением резервируемых блоков, элементы 3-5 контроля резервируемых блоков, коммутатор 6, матрицу переключающих логических ячеек 7, элементы И-НЕ 8, первый, второй, третий и четвертый элементы И 9-12 резервируемые блоки 13-15.

Элементы 1 и 2 управления осуществляют подачу сигналов управления под ключением блоков 13-15 по соответственно первому и второму направлениям.

Устройство работает следующим образом.

Установлена приоритетность направлений и резервируемых блоков: направление I приоритетнее направления II, направление II приоритетнее последующих направлений. Каждое последующее направление имеет меньшую приоритетность по отношению к предыдущему. Блок 13 приоритетнее блока 14, который, в свою очередь, приоритетнее блока 15. Каждый последующий резервируемый блок имеет меньший приоритет по отношению к предыдущему.

При отсутствии требований на включение резервируемых блоков в работу (исходное состояние) с выхода каждого элемента 1 и 2 управления подключением резервируемых блоков сигналы логического "0" поступают на первые входы элементов И-НЕ 8 соответствующих переключающих логических ячеек 7 первого столбца матрицы. Если все блоки исправны, то от каждого элемента 3-5 контроля поступает сигнал логической "1" на второй вход элемента И-НЕ 8 соответствующей логической ячейки 7 первой строки матрицы. В этом случае на входах всех элементов И-НЕ 8 присутствуют сигналы логической "1", которые поступают на первые входы элементов И 9-12 в своих переключающих

логических ячейках 7 и на коммутатор 6. На выходах всех первых элементов И 9 присутствуют сигналы логического "0", а на выходах всех вторых, третьих и четвертых элементов И 10-12 - сигналы логической "1".

При появлении на выходе элемента 1 управления сигнала логической "1" ("Запрос") и при наличии на втором входе элемента И-НЕ 8 сигнала логической "1" ("Блок исправен") на выходе последнего появляется сигнал логического "0", который поступает на коммутатор 6 и на первые входы элементов И 9-12 этой же переключающей логической ячейки 7. По этому сигналу исполнительное устройство коммутатора 6 включает наиболее приоритетный резервируемый блок 13 в работу по направлению I. На выходах элементов И 9, 10 первой переключающей логической ячейки 7 первого столбца матрицы появляются сигналы логического "0". С выхода первого элемента И 9 этот сигнал поступает одновременно на первый вход элемента И-НЕ 8 и на второй вход первого элемента И 9 второй переключающей логической ячейки 7 первого столбца матрицы, далее - через первый элемент И 9 второй переключающей логической ячейки 7 - на первый вход элемента И-НЕ 8 и на второй вход первого элемента И 9 третьей логической ячейки 7 и т.д. на все ячейки первого столбца матрицы, запрещающая подключение менее приоритетных резервируемых блоков в работу по направлению I.

С выхода второго элемента И 10 первой логической ячейки 7 первой строки матрицы сигнал логического "0" поступает на второй вход элемента И-НЕ 8 менее приоритетного направления II, т.е. на вторую логическую ячейку 7 первой строки матрицы, с выхода второго элемента И 10 второй логической ячейки 7 первой строки матрицы - на последующую переключающую логическую ячейку 7 и далее на все переключающие логические ячейки 7 первой строки матрицы. Это приводит к запрету подключения по другим направлениям включенного уже в работу по направлению I резервируемого блока 13. На выходах элементов И 10 второй и третьей переключающих логических ячеек 7 первого столбца матрицы при этом присутствуют сигналы логической "1", которые

поступают на первые входы элементов И-НЕ 8 соответственно второй и третьей переключающих логических ячеек 7 второго столбца матрицы. Этот сигнал разрешает подключение в работу свободных и исправных резервируемых блоков 14 и 15 по менее приоритетным направлениям.

При появлении на выходе элемента 2 управления сигнала логической "1" ("Запрос") этот сигнал поступает на первый вход элемента И-НЕ 8 второй переключающей логической ячейки 7 первой строки матрицы. Так как на втором входе элемента И-НЕ 8 данной логической ячейки 7 присутствует сигнал логического "0", на его выходе сохраняется сигнал логической "1", который поступает на первый вход первого элемента И 9 данной переключающей логической ячейки 7. Вследствие этого сигнал логической "1" с элемента 2 управления поступает на первый вход элемента И-НЕ 8 следующей в этом столбце переключающей логической ячейки 7. Так как на втором входе элемента И-НЕ 8 этой переключающей логической ячейки 7 присутствует сигнал логической "1", то на его выходе появляется сигнал логического "0", который поступает на коммутатор 6.

По этому сигналу коммутатор 6 включает в работу резервируемый блок 14 по направлению 2. Одновременно сигнал логического "0" с выхода элемента И-НЕ 8 второй переключающей логической ячейки 7 столбца матрицы поступает на входы элементов И 9-12 данной логической ячейки, устанавливая на их выходах сигналы логического "0". Сигнал логического "0" с выхода элемента И 9 запрещает прохождение сигнала "Запрос" в третью и соответственно в последующие переключающие логические ячейки 7 второго столбца матрицы.

Сигнал логического "0" с выхода элемента И 10 запрещает прохождение сигнала "1" ("Блок исправен") в третью и, соответственно, в последующие переключающие логические ячейки 7 второй строки матрицы, предотвращая возможное включение блока 14 в работу по направлениям III, IV, ...

Сигнал логического "0" с выхода элемента И 11 поступает на вход элемента И-НЕ 8 первой переключающей логической ячейки 7 второго столбца

матрицы, что исключает возможное включение в работу по направлению II блока 13 в случае его освобождения от работы по направлению I.

Сигнал логического "0" с выхода элемента И 12 поступает на вход элемента И-НЕ 8 первой переключающей логической ячейки 7 второй строки матрицы, что исключает возможное включение занятого уже блока 14 в работу по направлению I в случае отказа резервируемого блока 13 и появления на выходе элемента контроля 3 сигнала логического "0".

При выходе из строя блока, подключенного к какому-либо из направлений, на входе соответствующего элемента контроля блока (в рассматриваемом случае элемента контроля 3 или 4) появляется сигнал логического "0" ("Авария блока"), при этом в соответствующей строке матрицы на выходе элемента И-НЕ 8 переключающей логической ячейки 7, подключившей данный резервируемый блок в работу, появляется сигнал логической "1", который поступает на коммутатор 6 и на входы элементов И 9-12 этой же переключающей логической ячейки 7. По этому сигналу коммутатор 6 отключает неисправный резервируемый блок, а в работу по этому направлению включается исправный менее приоритетный резервируемый блок, не занятый в каком-либо другом направлении, в данном случае блок 15.

Происходит это следующим образом. Если, например, вышел из строя резервируемый блок 13, занятый в направлении I, то сигнал логической "1" с выхода элемента И-НЕ 8 первой переключающей логической ячейки 7 первого столбца матрицы разрешает прохождение сигнала логической "1" ("Запрос") с выхода элемента 1 управления через первый элемент И 9 той же переключающей логической ячейки 7 на вход первого элемента И 9 второй переключающей логической ячейки 7 первого столбца матрицы, а так как включение этой ячейки запрещено сигналом логического "0", поступающего от второй переключающей логической ячейки 7 второй строки матрицы, то на первый вход первого элемента И 9 второй переключающей логической ячейки 7 первой строки матрицы с выхода элемента И-НЕ 8 этой же переключающей логической

ячейки 7 поступает сигнал логической "1", который разрешает прохождение сигнала "Запрос" от элемента 1 управления в третью переключающую логическую ячейку 7 первого столбца матрицы, что вызывает появление логического "0" на выходе элемента И-НЕ 8 и включение тем самым с помощью коммутатора 6 резервируемого блока 15 по направлению I. Одновременно сигнал логического "0" с выхода элемента И 11 третьей переключающей логической ячейки 7 первого столбца матрицы блокирует возможность включения первой и второй переключающих логических ячеек 7 того же первого столбца матрицы, что исключает в рассматриваемой ситуации самопроизвольное подключение в работу более приоритетного резервируемого блока 13 при его восстановлении или резервируемого блока 14 при его освобождении из работы. Подключение более приоритетного свободного блока может быть обеспечено принудительной кратковременной подачей (имитацией, например, выключения питания блока или любым другим способом) сигнала "Авария блока" от элемента контроля 5.

Аналогично устройство работает при снятии сигнала "Запрос" от элемента 1 или 2 управления. Например, если в рассмотренной выше ситуации с элементом 2 управления прекращается поступление сигнала "Запрос" (т.е. из фиксированного ранее состояния логической "1" этот элемент управления переводится в состояние логического "0"), то сигнал логического "0" через элемент И 9 первой переключающей логической ячейки 7 второго столбца матрицы поступает на вторую переключающую логическую ячейку 7. Ранее этой ячейкой в работу по направлению II был подключен резервируемый блок 14. При поступлении сигнала логического "0" на вход данной ячейки на выходе ее элемента И-НЕ 8 появляется сигнал логической "1", отключающий с помощью коммутатора 6 резервируемый блок 14 из работы по направлению II. При этом сигнал логической "1" ("Блок исправен") от элемента 4 контроля резервируемого блока 14 проходит через элемент И 10 этой переключающей логической ячейки 7 на вход элемента И-НЕ 8 следующей переключающей логической ячейки 7 второй строки матрицы. Если

последующее третье направление (элементы которого не показаны) требует включения блока, то высвободившийся резервируемый блок 14 устройством управления будет автоматически включен в работу по этому направлению.

#### 10 Ф о р м у л а и з о б р е т е н и я

Устройство управления переключением резерва, содержащее элементы управления переключением резервируемых блоков, элементы контроля резервируемых блоков, коммутатор и матрицу переключающих логических ячеек с числом столбцов, равным числу элементов управления подключением резервируемых блоков, и числом строк, равным числу элементов контроля резервируемых блоков, каждая переключающая логическая ячейка матрицы содержит первый и второй элементы И, элемент И-НЕ, выход которого соединен с соответствующим управляющим входом коммутатора и первыми входами первого и второго элементов И, выход  $i$ -го элемента управления подключением блоков соединен с первым входом элемента И-НЕ и вторым входом первого элемента И логической ячейки первой строки  $i$ -столбца матрицы переключающих логических ячеек, выход  $i$ -го элемента контроля резервируемых блоков соединен с вторым входом элемента И-НЕ и вторым входом второго элемента И логической ячейки первого столбца строки матрицы, выход первого элемента И логической ячейки соединен с первым входом элемента И-НЕ следующей переключающей логической ячейки того же столбца матрицы, а выход второго элемента И логической ячейки соединен с вторым входом элемента И-НЕ следующей логической ячейки той же строки, отличающееся тем, что, с целью повышения надежности устройства, в нем каждая переключающая логическая ячейка матрицы содержит третий и четвертый элементы И, первые входы которых соединены с выходом элемента И-НЕ той же логической ячейки, выход третьего элемента И логической ячейки соединен с третьим входом элемента И-НЕ и вторым входом третьего элемента И предыдущей переключающей логической ячейки того же столбца матрицы, а выход четвертого элемента И пе-

переключающей логической ячейки соединен с четвертым входом элемента И-НЕ и вторым входом четвертого элемента

И предыдущей переключающей логической ячейки той же строки матрицы переключающих логических ячеек.

Редактор А.Маковская	Составитель Н.Парамонов Техред Л.Олийник	Корректор С.Черны
Заказ 4131	Тираж 679	Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР 113035, Москва, Ж-35, Раушская наб., д. 4/5		
Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина, 101		

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**